

SOLID-STATE IMAGE SENSING DEVICE

Patent Number: JP5291552

Publication date: 1993-11-05

Inventor(s): HONJO ATSUSHI

Applicant(s): TOSHIBA CORP

Requested Patent: JP5291552

Application Number: JP19920083887 19920406

Priority Number(s):

IPC Classification: H01L27/148; H04N5/335

EC Classification:

Equivalents:

Abstract

PURPOSE:To enable fining in a vertical direction without deteriorating a dynamic range by providing a channel of a vertical CCD shift register to each line of each photosensitive pixel to meander between photosensitive pixels of the photosensitive pixel line and by outputting after conversion to an electric signal through a horizontal CCD shift register.

CONSTITUTION:A photosensitive pixel 1 is arranged to a matrix of m-lines and n-rows on a semiconductor substrate and an optical signal is converted to a signal charge. A vertical CCD shift register has a buried channel 3 formed on the semiconductor substrate for each line of each photosensitive pixel to meander between photosensitive pixels 1 of a corresponding photosensitive line and transfers signal charge from each photosensitive pixel 1 of the photosensitive pixel line. It is then transferred to an output part 8 through a horizontal shift register 7 which is arranged at an end part of the vertical CCD shift register and transfers the signal charge in a line direction and an electric signal corresponding to a charge amount is output to the outside. Thereby, charge read is realized without making charge remain in the photosensitive pixel 1.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-291552

(43)公開日 平成5年(1993)11月5日

(51)Int.Cl. ⁵ H 01 L 27/148 H 04 N 5/335	識別記号 F	府内整理番号 7210-4M	F I	技術表示箇所 H 01 L 27/14
---	-----------	-------------------	-----	------------------------

審査請求 未請求 請求項の数3(全5頁)

(21)出願番号 特願平4-83887
(22)出願日 平成4年(1992)4月6日

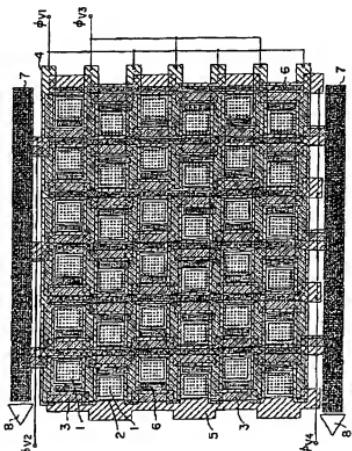
(71)出願人 000003078
株式会社東芝
神奈川県川崎市幸区堀川町72番地
(72)発明者 本 庄 敦
神奈川県川崎市幸区堀川町72番地 株式会
社東芝堀川町工場内
(74)代理人 弁理士 佐藤 一雄 (外3名)

(54)【発明の名称】 固体撮像装置

(57)【要約】

【目的】 ダイナミックレンジを劣化させることなく垂直方向の微細化を可能にするとともに感光画素に電荷を残留させることなく電荷読み出しを可能にし、更に駆動パルスを単純化することを可能にする。

【構成】 半導体基板上にm行n列のマトリックス状に配りされた光信号を信号電荷に変換する感光画素1と、各感光画素毎に、この感光画素列の感光画素間を蛇行するよう設けられるチャネル3を有する、前記感光画素列の各感光画素からの信号電荷を転送するn個の垂直CCDシフトレジスタと、この垂直CCDシフトレジスタによって転送された信号電荷は行方向に転送する水平CCDシフトレジスタ7と、この水平CCDシフトレジスタによって転送された信号電荷を外部に電気信号に変換して出力する出力部8とを備えていることを特徴とする。



【特許請求の範囲】

【請求項1】半導体基板上にm行n列のマトリックス状に配列され光信号を信号電荷に変換する感光画素と、各感光画素列毎に、この感光画素列の感光画素間を蛇行するよう設けられるチャネルを有する、前記感光画素列の各感光画素からの信号電荷を転送する垂直CCDシフトレジスタと、

この垂直CCDシフトレジスタによって転送された信号電荷を行方向に転送する水平CCDシフトレジスタと、この水平CCDシフトレジスタによって転送された信号電荷を外部に電気信号に変換して出力する出力部と、を備えていることを特徴とする固体撮像装置。

【請求項2】各チャネルは出力端を除いてほぼ同一の配置となるように設けられることを特徴とする請求項1記載の固体撮像装置。

【請求項3】第k(1≤k≤n-1)番目の感光画素列に対応するチャネルと第k+1番目の感光画素列に対応するチャネルとは第k番目の感光画素列と第k+1番目の感光画素列との間に設けられる素子分離層に対してほぼ対称に配置されることを特徴とする請求項1記載の固体撮像装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は固体撮像装置に関するものである。

【0002】

【従来の技術】従来の固体撮像装置の平面図を図5に示す。図5において、m行n列(この場合m=6, n=6)のマトリックス状に配列されたフォトダイオード101の各上方には遮光膜の開口102があり、開口102を介して入射した光の強度に応じてフォトダイオード101内には電荷が生成蓄積される。又、埋め込みチャネル103が列方向にn個平行に配置されている。そして埋め込みチャネル103の上方には第1層ポリシリコン転送電極(以下、1ボリともい)104と第2層ポリシリコン転送電極(以下、2ボリともい)105が交互に形成され、これらの埋め込みチャネル103、1ボリ104及び2ボリ105によって垂直シフトレジスタが構成されている。1ボリ104は1つおきに各々端子φv1, φv2に接続され、2ボリ105は1つおきに各々端子φv3, φv4に接続されており、これらの各端子φv1, φv2, φv3, φv4に0Vと-7Vの2つの値をとる2値の転送バ尔斯を印加することにより、垂直CCDシフトレジスタ内を図5の上方から下方に電荷が転送される。又、フォトダイオード101と埋め込みチャネル103を分離するために素子分離層106が設けられているが、この素子分離層106は、フォトダイオード101と、このフォトダイオードからの電荷を埋め込みチャネル103に移送するための2ボリ105に接続している部分が欠けており、2ボリ105に+10Vの電圧を印

加することによりフォトダイオード101に蓄積されていた電荷が上記部分を介して埋め込みチャネル103に読み出される。テレビ規格に準拠した駆動方法では、この読み出しが垂直ブランкиング期間毎に端子φv1, φv2の両方の電極に+10Vの電圧を印加することで行われる。読み出しの後、奇数フィールドでは2k(1≤k≤m/2)行目と2k+1行目の信号が加算(混合)され、偶数フィールドでは2k行目と2k-1行目の信号が加算される。加算の後、電荷は4相伝送により垂直CCDシフトレジスタを介して水平CCDシフトレジスタ107に送られる。そして水平CCDシフトレジスタ107は垂直CCDシフトレジスタから受けた電荷を出力部108に転送し、出力部108から電荷量に対応した信号が外部に出力される。

【0003】

【発明が解決しようとする課題】このような従来の固体撮像装置においては、次の4つの問題点がある。

【0004】第1の問題は、フォトダイオード101が上下方向に隣接しているために、それらの間に素子分離層106を必要とするがこの素子分離層106の領域は電荷の生成、蓄積、転送等に役に立たない領域であり、固体撮像装置の微細化時にダイナミックレンジを劣化させる要因となっている。

【0005】第2の問題は、垂直CCDシフトレジスタを構成している電極の加工精度が垂直方向の微細化を制約してしまうということである。この問題を図6を参照して説明する。図6は1ボリ104と2ボリ105の平面図を示すものである。1ボリ104と2ボリ105の垂直方向のピッチYpは図6から分かるよう

$$Y_p = a + b + c$$

で与えられる。ここでaは1ボリ104と2ボリ105の重ね合せ寸法であり、1ボリ104と2ボリ105の加工寸法ばらつきとマスクの合せずれを考慮して重ね合せがはずれないように決定される。一方b, cは各々1ボリ104, 2ボリ105の間隔寸法であり、エッティング変換差およびフォトソリグラフィ時の解像度に制約されている。従ってこれらの和で与えられるピッチYpは固体撮像装置の製造工程の精度によって制約され、それ以上の微細化ができない。

【0006】第3の問題は、一般に固体撮像装置は半導体基板又はウェル上に形成されて転送電極と基板又はウェルとの間に容量結合が有するので、フォトダイオード101から電荷を読み出す際に電極の端子φv1, φv2の両方に+10Vのパルス電圧を印加すると、印加されるパルスの誘導によってフォトダイオード101の電位が過渡的に上昇し、電荷読み出し時にフォトダイオード101に電荷が残留するということである。

【0007】第4の問題は、電荷読み出し後に電荷を加算する際に奇数フィールドと偶数フィールドでは異なる加算を行うため、垂直CCDシフトレジスタの電極

ϕ_{v2} , ϕ_{v2} , ϕ_{v3} , ϕ_{v4} に複雑な駆動パルスを印加する
必要があった。

【0008】本発明は上記事情を考慮してなされたものであって、ダイナミックレンジを劣化させることなく垂直方向の微細化が可能であって、フォトダイオードに電荷を残留させることなく電荷読み出しが可能で、かつ駆動パルスを単純化することできる固体撮像装置を提供することを目的とする。

[0009]

【課題を解決するための手段】本発明による固体撮像装置は、半導体基板上にm行n列のマトリックス状に配列され光信号を信号電荷に変換する感光画素と、各感光画素列毎に、この感光画素列の感光画素間を蛇行するように設けられるチャネルを有する、前記感光画素列の各感光画素からの信号電荷を転送する垂直CCDシフトレジスタと、この垂直CCDシフトレジスタによって転送された信号電荷を行方向に転送する水平CCDシフトレジスタと、この水平CCDシフトレジスタによって転送された信号電荷を外部に電気信号に変換して出力する出力部と、を備えていることを特徴とする。

{0010}

【作用】このように構成された本発明の固体撮像装置によれば、垂直 CCD シフトレジスタのチャネルが各感光画素毎に、この感光画素の感光画素間を蛇行するよう設計される。これにより、ダイナミックレンジを劣化させることなく垂直方向の細部化が可能であって、感光画素に電荷を残留させることなく電荷読み出しが可能で、かつ駆動ペルスを単純化することができる。

(0011)

【実施例】本発明による固体撮像装置の第1の実施例の平面図を図1に示す。この実施例の固体撮像装置は、感光画素（フォトダイオード）1と、垂直CCDシフトレジスタと素子分離層6と、水平CCDシフトレジスタ7と、出力部8とを備えている。フォトダイオード1は半導体基板上にm行n列（図1ではm=6, n=6）のマトリックス状に配列されている。そして各フォトダイオード1の上方には遮光膜の開口2が設けられている。

[10012] 上記基盤上にCDシングルレッグは、フォトダイオード列毎に設けられた埋め込みチャネル3と、第1層ポリシリコン電極(以下、1ポリともいう)4と、第2層ポリシリコン電極(以下、2ポリともいう)5とを有している。各埋め込みチャネル3は対応するフォトダイオード列のフォトダイオード1間を蛇行するように半導体基板上に形成されている。例えば図1において、フォトダイオード1の行を上から下に、列を左から右に順に番号付けし第i行第j列のフォトダイオードをP(i,j)と表現した場合、第k行第l列のフォトダイオード1はP(k,l)である。各埋め込みチャネル3は上側の水平CCDシングルレッグ7とP

間隔、 $P(1, k)$ と $P(2, k)$ の間隔、 $P(2, k)$ と $P(2, k+1)$ の間隔、 $P(2, k)$ と $P(3, k)$ の間隔、…、 $P(m-1, k)$ と $P(m, k)$ の間隔、 $P(m, k)$ と $P(m, k+1)$ の間隔、及び $P(m, k)$ と下側の水平 CCD シフレジスターの間隔を通過している。

【0013】1ポリ4はチャネル3の上方に行方向に延長して並行に配置され2ポリ5はチャネル3の上方に列方向に延長して並行に配置されている。なお、この1ポリ4と2ポリ5の平面図を図2に示す。そして1ポリ4は1つおきに各々端子 ϕ_{11} 、 ϕ_{12} に接続され、2ポリ5は1つおきに各々端子 ϕ_{21} 、 ϕ_{22} に接続されている。これらの端子に0V、-7Vの2値の値をとる転送バルスを印加することにより上記垂直CCDシフトレジスタ内に電荷が転送される。図1から分かるように奇数番目のチャネルの転送方向は図1において下から上であり、偶数番目のチャネルの転送方向は上から下である。

【0014】なお、素子分離層6はフォトダイオード1とチャネル3、およびチャネル3同士を水平方向に分離

20 している。1 ポリ 4 とフォトダイオード 1 は垂直方向（列方向）で接しており、1 ポリ 4 に +10 V の電圧を印加すると、フォトダイオード 1 に蓄積されていた電荷がチャネル 3 に読み出される。各フォトダイオードに対し、読み出し方向は 2 通りであり、奇数フィールドの垂直ランキング期間では端子 ϕ_{v1} のみに +10 V の電圧が印加され、k 行目のフォトダイオード（k は偶数）の電荷は図 1 の下方に、k + 1 行目フォトダイオードの電荷は図 1 の上方に読み出しと同時に加算されることになる。偶数フィールドの垂直ランキング期間では端子 ϕ_{v2}

30 ⑧のみに+10Vの電圧が印加され、k-1行目のフォトダイオードの電荷は図1において下のチャネルに、k行目のフォトダイオードの電荷は上のチャネルに読み出され、読み出しと同時に加算されることになる。この後電荷は4相転送により、図1の上方または下方に送られる。そして、垂直CCDシフトレジスタの端部に配置された水平シフトレジスタ7を介して出力部8へ転送され、出力部8によって電荷量に対応した信号が外部に出力される。

【0015】このように第1の実施例の固体撮影装置によれば、各垂直ランキング期間に1つの電極にのみ読み込み電圧を印加するので電荷読み出し時にフォトダイオード1に電荷が残留するということはない。又、電荷の加算が読み出しと同時に自然に行われるため、垂直C CDシフトレジスタの電極に複雑なパルスを印加する必要がない。又、図1に示す第1の実施例の素子分離層6と図5に示す従来例の素子分離層6を比較すると分かるように上下に隣接するフォトダイオードを分離する必要がないため、無効範囲が少ない。更に図2に示す第1の実施例の電極構造から分かるように垂直方向のピッチマ

$$Y_p = 2a + b$$

であり、従来の場合 ($Y_p = 2a + b + c$) に比べて微細化に有利となる。ここで a は 1 ポリ 4 と 2 ポリ 5 の重ね合せ寸法、 b 、 c は各々 1 ポリ 4、2 ポリ 5 の間隙寸法である。

【0016】次に本発明による固体撮影装置の第2の実施例の平面図を図3に示す。この第2の実施例の固体撮影装置は第1の実施例の固体撮影装置とは垂直CCDシフトレジスタ、すなわちチャネル3及び転送電極4、5の配置が異なる。第1の実施例の各チャネル3は出力端を除いてほぼ同一の配置となっていたが、第2の実施例においては、 k ($1 \leq k \leq n-1$)番目のチャネルと $k+1$ 番目のチャネルは、第 k 列のフォトダイオード列と第 $k+1$ 列のフォトダイオード列との間に設けられる素子分離層6に対してほぼ対称に配置されている。この配置のため、図3より容易に分かるようにチャネル3の転送方向は図3において上から下となり、水平CCDシフトレジスタ7は下側に1個があれば良い。又上記配置により転送電極4、5の構造は図4に示すようになる。

【0017】なお各垂直プランギング期間では1電極のみに読み出し電圧10Vが印加されること読み出しと同時に加算が行なわれることは第1の実施例に同じである。

10

20

【0018】この第2の実施例の固体撮影装置も第1の実施例と同様の効果を有することは云うまでもない。

【0019】

【発明の効果】本発明によれば、ダイナミックレンジを劣化させることなく垂直方向の微細化が可能であって、感光画素に電荷を残留させることなく電荷読み出しができ、かつ駆動パルスを単純化することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例の構成を示す平面図。

【図2】第1の実施例にかかる電極の構成を示す図。

【図3】本発明の第2の実施例の構成を示す平面図。

【図4】第2の実施例にかかる電極の構成を示す図。

【図5】従来の固体撮影装置の構成を示す平面図。

【図6】従来の固体撮影装置の電極を示す図。

【符号の説明】

1 感光画素 (フォトダイオード)

2 遮光膜の開口

3 埋め込みチャネル

4 第1層ポリシリコン転送電極

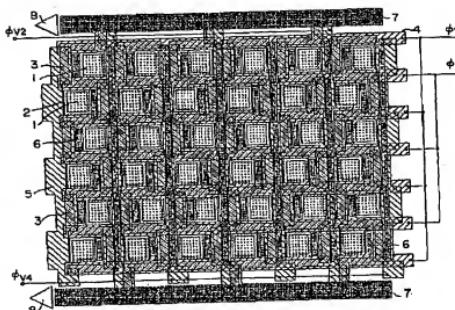
5 第2層ポリシリコン転送電極

6 素子分離層

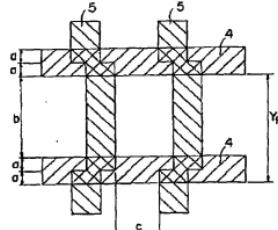
7 水平CCDシフトレジスタ

8 出力部

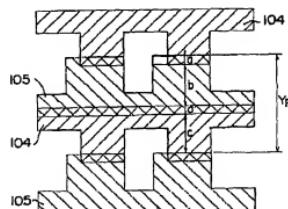
【図1】



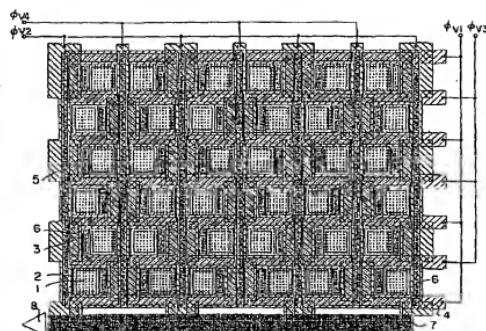
【図2】



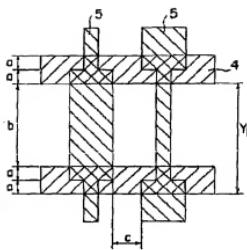
【図3】



【図3】



【図4】



【図5】

